

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-284134

(43)Date of publication of application : 15.10.1999

(51)Int.Cl.

H01L 27/10
H01L 21/8244
H01L 27/11

(21)Application number : 10-081516

(71)Applicant : SONY CORP

(22)Date of filing : 27.03.1998

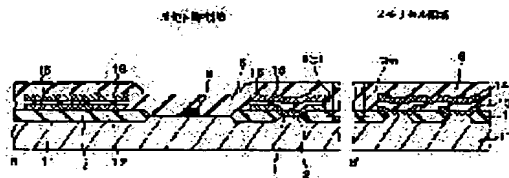
(72)Inventor : YAMADA HIROYUKI

(54) SEMICONDUCTOR MEMORY DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a fluctuation of a resist film thickness and suppress variations of a line width at a minimum by a method wherein a dummy layer is provided in a region which is not used as an active region and a wiring layer region in a peripheral circuit region, and a final height of an underlayer is substantially same between a memory cell region and a peripheral region.

SOLUTION: A semiconductor device has a memory cell region and a peripheral circuit region, and each region has an element separation region by an element isolation film 12 on a semiconductor substrate 11. In the memory cell region, a first conductive layer 13 is covered with an interlayer insulation film 6 via a gate oxide film, and a second conductive film 14 is disposed thereon. The peripheral circuit region has first and second dummy layers 15, 16 so as to respectively correspond to first and second conductive layers of the memory cell region in a region except for a region where an active region 1 and a wiring layer 3 are provided. For this reason, a height H_m of an underlayer of the memory cell region is substantially same as a height H_{p1} of an underlayer of the peripheral region.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-284134

(43) 公開日 平成11年(1999)10月15日

(51) Int.Cl.⁶H 0 1 L 27/10
21/8244
27/11

識別記号

4 8 1

F I

H 0 1 L 27/10

4 8 1

3 8 1

審査請求 未請求 請求項の数11 O L (全 9 頁)

(21) 出願番号

特願平10-81516

(22) 出願日

平成10年(1998)3月27日

(71) 出願人

000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者

山田 浩之

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人

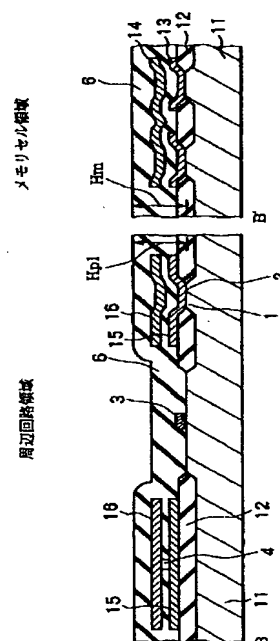
弁理士 佐藤 隆久

(54) 【発明の名称】 半導体記憶装置およびその製造方法

(57) 【要約】

【課題】 工程数、チップサイズを増加させることなく、メモリセル領域の端の部分の下地段差によって生じる線幅バラツキを抑えることにより、信頼性の高い半導体記憶装置及びその製造方法を提供する。

【解決手段】 メモリセル領域と周辺回路領域を有する多層構造の半導体記憶装置において、該周辺回路領域であって、アクティブ領域と配線層領域を除く領域にダミー層を有する半導体記憶装置。



【特許請求の範囲】

【請求項 1】メモリセル領域と周辺回路領域を有する多層構造の半導体記憶装置において、該周辺回路領域であって、アクティブ領域と配線層領域を除く領域にダミー層を有する、半導体記憶装置。

【請求項 2】前記ダミー層は、メモリセル領域と隣接する周辺回路領域であって、メモリセル領域との境界から最大 $50\mu\text{m}$ 離れた位置まで設けられている、請求項 1 記載の半導体記憶装置。

【請求項 3】前記ダミー層は、ポリシリコン若しくは不純物でドーピングされたポリシリコンからなる層である、請求項 1 記載の半導体記憶装置。

【請求項 4】前記半導体記憶装置は、SRAM (Static Random Access Memory) である、請求項 1 記載の半導体記憶装置。

【請求項 5】メモリセル領域と周辺回路領域を有する多層構造の半導体記憶装置の製造方法において、該周辺回路領域であって、アクティブ領域と配線層領域を除く領域にダミー層を形成する工程を有する、半導体記憶装置の製造方法。

【請求項 6】前記ダミー層は、メモリセル領域と隣接する周辺回路領域であって、メモリセル領域の端から最大 $50\mu\text{m}$ 離れた位置まで形成する、請求項 5 記載の半導体記憶装置の製造方法。

【請求項 7】前記ダミー層は、ポリシリコン若しくは不純物でドーピングされたポリシリコンからなる層である、請求項 5 記載の半導体記憶装置の製造方法。

【請求項 8】前記半導体記憶装置は、SRAM (Static Random Access Memory) である、請求項 5 記載の半導体記憶装置の製造方法。

【請求項 9】メモリセル領域と周辺回路領域を有する多層構造の半導体記憶装置の製造方法において、半導体基板上に、素子分離領域を形成する工程と、該素子分離領域に、ゲート電極を形成する工程と、全面に第 1 の絶縁膜を形成する工程と、メモリセル領域に第 1 の導電層を形成すると同時に、周辺回路領域であって、アクティブ領域と配線層領域を除く領域に、ダミー層を形成する工程と、全面に第 2 の絶縁膜を形成する工程と、前記第 2 の絶縁膜上にレジスト膜を成膜する工程と、前記レジスト膜を所定のパターンにパターニングする工程と、第 2 の導電層を形成する工程と、前記レジスト膜を除去する工程を有する、半導体記憶装置の製造方法。

【請求項 10】前記ダミー層は、第 1 の導電層と同じ材料からなる層である、

請求項 9 記載の半導体記憶装置の製造方法。

【請求項 11】前記レジスト膜を形成する工程は、略等しい膜厚でレジスト膜を成膜する工程である、請求項 9 記載の半導体記憶装置の製造方法。

05 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリセル領域と周辺回路領域を有する多層構造の半導体記憶装置において、該周辺回路領域であって、アクティブ領域と配線層領域として使われていない領域に、ダミー層を有することを特徴とする半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】半導体記憶装置は、メモリセル領域と周辺回路領域に別れている。メモリセル領域は高集積化、微細化が進み、それに伴って高い精度の配線パターン等のパターン形成技術が要求されている。例えば、配線パターン形成を i 線リソグラフィにより行う場合、メモリセル領域は、 $0.35\mu\text{m}$ でデザインされ、約 $\pm 10\%$ の配線幅 (所謂、線幅) の制御が要求される。

【0003】しかし、この線幅制御を行うことはなかなか難しい。この線幅制御を悪化させる要因の一つとして、レジスト膜厚の変動がある。図 9 にパターン線幅のレジスト膜厚の変動を示す。所謂定在波効果により、線幅がレジスト膜厚の変化に伴い、周期的に変化している。定在波効果とは、露光入射光と下地からの反射光とが干渉し、露光波長とレジストの屈折率に応じた周期で感度変動が発生し、その結果パターン線幅、即ち、線幅が変動するものである。

【0004】メモリセル領域の中で、中央部分は下地が同一構造であり、レジスト膜厚がほぼ均一になり線幅の変動は小さい。しかし、端の部分は、周辺領域との段差の影響で、レジスト膜厚が変動し、線幅が大きく変動する。線幅は、段差が大きい程、また段差近傍ほどレジスト膜厚の変動の影響を受けてバラツキが大きくなる。図 13 にメモリセル領域において端から中央 (A から A') に向かって線幅を測定した結果の例を示す。端の部分は段差の影響でレジスト膜厚が変動し、線幅はばらばらになっているが内側ではその影響はなくなり線幅はほぼ一定になっている。導電層の線幅のバラツキが大きいと、トランジスタ能力や配線容量にバラツキを生じ、半導体記憶装置の信頼性の低下をもたらす。特に、高集積化、微細化が進んでいる近年の半導体記憶装置においてはその影響が大きい。

【0005】図 10 に、ダミー層を形成しない従来の半導体装置の製造方法の概略を示す。図 10 (a) に示すように、先ず、半導体基板 201 上に素子分離領域を、例えば LOCOS 法により形成する。次いで、図示しないゲート酸化膜を形成した後、例えば、ポリシリコンを全面に堆積させ、不純物をドーピングすることにより導

電化する。次いで、図示しないレジスト膜を全面に成膜して、所定のパターンニングを行い、導電層203及び電極205を形成する。

【0006】次に、図10(b)に示すように、全面に第1の層間絶縁膜206を形成した後、図10(c)に示すように、例えば、ポリシリコンを全面に堆積させ、不純物をドーピングすることにより導電化する。次いで、図示しないレジスト膜を全面に成膜して、所定のパターンニングを行う。

【0007】このとき、メモリセル領域において端の部分のレジスト膜厚B'と中央部分のレジスト膜厚C'とは大きく相違している。その結果、レジストのパターン線幅がばらつき、その上に形成する導電層の線幅もバラツキを生じることになる。

【0008】

【発明が解決しようとする課題】前記したレジスト膜厚の変動による線幅バラツキの影響を抑える方法の一つとして、Recess構造が提案されている。これは、図11に示すように、周辺回路領域を前もって高くしておくことにより、出来上がりの下地の高さをメモリセル領域と揃え、レジスト膜厚の変化を少なくする方法である。

【0009】しかし、この方法による場合、周辺回路領域を前もって高くしておくという余分な工程が必要となり、初期の工程ほど段差が大きく、レジスト膜厚の変化も大きくなるという問題がある。

【0010】又、別の方法として、図12に示すメモリセル領域の外側に予めダミー領域を設ける方法がある。しかし、この方法は、工程数の増加という問題はなく、常にメモリセル領域とメモリセル領域と隣接する周辺領域の下地の高さを同一にでき、その結果メモリセル領域の端の部分の線幅ばらつきを抑えることができるという利点はあるものの、ダミー領域を予め設けるため、該領域分だけ、チップサイズが大きくなってしまいう問題があり、半導体メモリの微細化の要求に応えられないおそれが出てくる。

【0011】このため、工程数、チップサイズを増加させることなく、メモリセル領域の端の部分の下地段差によって生じる線幅バラツキを抑える、より効果的な方法が求められている。

【0012】本発明は、かかる実状に鑑みてなされたものであり、工程数、チップサイズを増加させることなく、メモリセル領域の端の部分の下地段差によって生じる線幅バラツキを抑えることにより、信頼性の高い半導体記憶装置及びその製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明は、上記課題を達成すべく、メモリセル領域と周辺回路領域を有する多層構造の半導体記憶装置において、該周辺回路領域であつ

て、アクティブ領域と配線層領域として使われていない領域にダミー層を有することを特徴とする半導体記憶装置を提供する。

【0014】本発明の半導体記憶装置をかかるとすることによって、何ら工程数及びチップサイズの増加を伴うことなく、最終的な下地の高さを、メモリセル領域と周辺回路領域で略同じとすることにより、レジスト膜厚の変動を少なくし、線幅のバラツキを最小限に抑えることができる。

【0015】また、本発明は、メモリセル領域と周辺回路領域を有する多層配線構造の半導体記憶装置の製造方法において、該周辺回路領域であつて、アクティブ領域と配線層領域として使われていない領域にダミー層を形成する工程を有する、半導体記憶装置の製造方法を提供する。

【0016】前記本発明の半導体記憶装置及びその製造方法において、前記ダミー層は、周辺回路領域であつて、図13特性からメモリセル領域の端から50 μ m離れた位置まで設けられるのが好ましい。このような領域は、現実にはメモリセルの該周辺回路領域であつて、アクティブ領域と配線層領域として使われていない領域として多数存在している。

【0017】また、前記ダミー層は、メモリセル領域の下地の高さと同様に周辺回路領域の下地の高さを略同一にする役割を果たすものであれば、特に材料に限定はない。例えば、ポリシリコン若しくは不純物でドーパされたポリシリコン、アルミニウム等からなる層を挙げることができるが、メモリセル領域に形成する導電層と同一の材料を用いて同時に形成するのがより好ましい。

【0018】本発明の半導体記憶装置の製造方法は、好適には、少なくとも、メモリセル領域と周辺回路領域を有する多層構造の半導体記憶装置の製造方法において、半導体基板上に、素子分離領域を形成する工程と、該素子分離領域にゲート電極を形成する工程と、全面に第1の絶縁膜を形成する工程と、メモリセル領域に第1の導電層を形成すると同時に、周辺回路領域であつて、アクティブ領域と配線層領域として使われていない領域に、ダミー層を形成する工程と、全面に第2の絶縁膜を形成する工程と、前記第2の絶縁膜上にレジスト膜を成膜する工程と、前記レジスト膜を所定のパターンにパターンニングする工程と、第2の導電層を形成する工程と、前記レジスト膜を除去する工程を有する。

【0019】なお、前記本発明の半導体記憶装置においては、第2の導電層を形成し、レジスト膜を剥離した後、さらに上層の配線層及び周辺回路領域に対応する上層のダミー層を有していてもよい。この場合、前記上層のダミー層もメモリセル領域の対応する上層の導電層（即ち、第3層以上の導電層）と同時に形成するのが、製造上好ましい。

【0020】本発明の構成をこのようにすることによつ

て、工程数を何ら増やすこと無く、最終的にメモリセル領域の下地の高さ、周辺回路領域の下地の高さをほぼ同一とすることができ、線幅バラツキの少ない、信頼性の高い半導体記憶装置を得ることができる。

【0021】

【発明の実施の形態】以下、本発明を更に詳細に説明する。なお、以下の説明において、ゲート絶縁膜、コンタクトホール、上層配線等の形成工程は便宜上省略している。

第1実施形態

【0022】図1及び図2に、本発明の半導体記憶装置の周辺回路領域の拡大図を示す。ここで、1はアクティブ領域、2、4、7はコンタクト、3はポリシリコンからなる配線層等の導電層、8は、例えば、アルミニウム等からなる配線層をそれぞれ示す（なお、以下の図面において、同じ符号は、同じものを表している。）。

【0023】前記図1に示す周辺回路領域において、アルミニウム配線層より下のパターンを図2（a）に示す。ここで、アクティブ領域とポリシリコンからなる配線層を覆うようにして矩形領域を発生させ、更にこの矩形領域を一定量（ α ）拡げ、この領域を9とする（図2（b））。

【0024】次いで、図2（c）に示すように、周辺回路領域の中で前記9を除いた部分を10とし、この10の領域に、一定ルールに従って、素子分離領域、コンタクト、ダミー層をそれぞれ形成する。

【0025】以上の様にして得られる平面図を図2

（d）、断面構造を図3に示す。ここで周辺回路領域は図2（d）のB-B'の断面を示す。図3に示す構造は模式図である。本発明の半導体記憶装置は、メモリセル領域と周辺回路領域とを有し、それぞれの領域には、半導体基板11上に素子分離膜12により素子分離領域を設けられている。メモリセル領域は、図示しないゲート酸化膜を介して、第1の導電層13が層間絶縁膜6に覆われ、その上に第2の導電層14が配置された構造を有している。

【0026】周辺回路領域は、アクティブ領域及び配線層3が設けられている領域を除く領域に、メモリセル領域の第1及び第2の導電層にそれぞれ対応するように第1及び第2のダミー層15、16を有している。

【0027】図3に示すように、メモリセル領域の下地の高さ H_m は、周辺回路領域の下地の高さ H_{p1} とほぼ同じとなっている。従って、その上層に、メモリセル領域全面にわたり略等しい膜厚でレジスト膜を成膜することができる。

【0028】このように、従来、周辺回路領域のアクティブ領域及び配線層として使用されていなかった領域を有効活用することによって、何らチップサイズを大きくする必要なくなる。

【0029】前記ダミー層の材料としては、メモリセル

領域の導電層に用いられるものと同じものであるのが好ましい。例えば、ポリシリコン又は不純物がドーブされたポリシリコン層が好ましい。

【0030】また、このダミー層の形成工程は、メモリセル領域の導電層を形成すると同時にを行うのが好ましい。同時に行うことによって、何ら工程数を増加させる必要がなくなる。なお、メモリセル領域の導電層が2層以上の場合、前記領域10にも同様にダミー層を2層以上形成するのが好ましい。

【0031】以上のようにして、最終的にメモリセル領域の下地の高さ、周辺回路領域の下地の高さが略同一となり、メモリセル領域中心部と周辺回路領域の境界部における下地の高さを略同一とすることができ、レジスト膜厚の変動に起因する線幅バラツキを効果的に抑えることができる。

【0032】第2実施形態

第2実施形態は、周辺回路領域に2つのアクティブ領域と配線層を有する半導体装置の例である。図4（a）に、2つのアクティブ領域と配線層を有する周辺回路領域の拡大図を示す。この場合も、図4（b）に示すように、第1実施形態と同様にして矩形領域を発生させる。更にこの矩形領域を一定量（ α ）拡げ、領域9を発生させる。

【0033】次いで、図4（c）に示すように、周辺回路領域の中で、前記領域9を除いた領域を10とする。ここで、10に対して最小ルールを設定する。図5（d）において、この最小ルールよりライン（Line）が細い場合には、このラインを覆う矩形領域は10から除くこととして10'とする。その結果を図5（e）に示す。これにより、周辺回路領域でのデザインルール違反を防止することができる。

【0034】なお、前記領域10'はメモリセル領域と周辺回路領域の段差に依存するが、好ましくは、メモリセル領域の端から最大 $50\mu m$ 離れた位置まで形成する。尚、領域10'が $50\mu m$ 以下の場合でも図13から段差に起因した線幅ばらつきを完全には抑えられない可能性はあるが、従来構造に比べて線幅ばらつきを抑えることはできる。また、 $50\mu m$ 以上離れた位置にダミー層を設けた場合であっても、所期の効果が得られる場合がある。

【0035】次に、図5（f）に示すように、この領域10'に、一定ルールに従って素子分離領域、コンタクト及びダミー層を形成する。なお、図5（f）は、ダミー層を一層形成した場合を示す。また、図6にそのC-C'断面図を示す。図6は、メモリセル領域は、第1の導電層13及び第2の導電層14の2層構造を有しているが、周辺回路領域には、第1のダミー層のみを形成した場合の断面図である。この場合においても、メモリセル領域の下地の高さ H_m と周辺回路領域の下地の高さ H_{p3} との差は従来構造に比べ小さくできる。従って、レ

ジスト膜厚の変動に起因する線幅バラツキを抑えることが可能となる。

【0036】第3実施形態

本発明の第3の実施形態は、SRAM等の一般的な半導体記憶装置の製造例である。なお、以下の図においては、図の左側に周辺回路領域を、右側にメモリセル領域を示す。また、便宜上、ゲート酸化膜、不純物拡散領域、コンタクト等の図示を省略している。

【0037】先ず、図7(a)に示すように、半導体基板(p型またはn型)101上のメモリセル領域及び周辺回路領域の素子分離を行い、素子分離膜102を形成する。素子分離は、例えば、LOCOS法等により行うことができる。なお、周辺回路領域であって、アクティブ領域及び配線層として用いられていない領域、好ましくは、メモリセル領域の境界から50 μ m離れた位置まで、ダミー層を形成するための素子分離を同時に行う。

【0038】次いで、図7(b)に示すように、ゲート電極を形成する領域に図示しないゲート酸化膜を形成したのち、ゲート電極103、105(第1の導電層)及びダミー層104(第1のダミー層)を形成する。ゲート電極及びダミー層は、例えばポリシリコンを全面に堆積させたのち、不純物をドーピングし、レジスト膜を成膜後、所定のパターニングを行い、フォトリソグラフィの技術により行うことができる。

【0039】次に、図7(c)に示すように、全面に第1の絶縁膜106を形成する。該絶縁膜は、例えば、酸化シリコン膜をCVD法により成膜することにより行うことができる。

【0040】続いて、図8(d)に示すように、例えば、ポリシリコン108'を全面に堆積し、不純物をイオン注入等によりドーピングする。次いで、全面にレジスト膜107を成膜した後、所定のパターニングを行う。このとき、前工程において、周辺回路領域の所定の位置にダミー層を形成したため、メモリセル領域の下地の高さと同様に周辺回路領域の下地の高さとの段差がなくなり、メモリセル領域の端の部分のレジスト膜の膜厚Bと中央部分のレジスト膜厚Cとは略同一となる。ダミー層は、このBとCを同一にするために発生させるものであり、周辺回路領域のレジスト膜の膜厚AとB、Cが同一にならなくても良い。

【0041】次いで、図8(e)に示すように、前記ポリシリコン層108をエッチングすることにより、第2の導電層108及びダミーの第2の導電層109を形成する。

【0042】最後に、全面に層間絶縁膜(第2の絶縁膜)110を形成することにより、図8(f)に示す構造を得る。その後は、上層配線層の形成、パッシベーション膜の形成等公知の方法に従い、所望の半導体記憶装置を製造することができる。

【0043】以上、実施の形態により本発明を詳細に説

明したが、本発明の要旨を変更しない範囲で、例えば、発生させるダミー領域が境界から50 μ m以下でも線幅ばらつきを抑える効果はある。また3層以上の導電層を有する半導体装置を製造する場合、配線層の形成に適用する等、適宜、設計、変更が可能である。

【0044】本発明の製造方法は、メモリセル領域と周辺回路領域とを有し、多層構造を有するSRAM、DRAM、EPROM等の半導体記憶装置の製造に好適に適用することができる。

【0045】

【発明の効果】以上説明したように、本発明によれば、何ら工程数及びチップサイズの増加を伴うことなく、最終的な下地の高さをメモリセル領域と周辺回路領域で略同じとすることにより、レジスト膜厚の変動を少なくし、導電層の線幅のバラツキを最小限に抑えることができる。

【0046】従って、本発明によれば、歩留りよく、信頼性の高い半導体記憶装置を製造することができる。

【図面の簡単な説明】

【図1】図1は、メモリセル領域と周辺回路領域とを有する半導体装置を上から見た模式図であり、(a)は、該半導体装置を上から見た模式図であり、(b)は、周辺回路領域の拡大図である。

【図2】図2は、ダミー層を形成する領域を決定する工程図であり、(a)は、図1(b)の拡大図において、配線層から下の層を示す図であり、(c)は、矩形領域から一定幅 α だけ広げた領域を示す図であり、(c)は、(b)に従って、ダミー層を形成する領域を決定した図であり、(d)は以上の工程を経て得られる平面図である。

【図3】図3は、図2(d)のB-B'の断面図である

【図4】図4は、周辺回路領域に2つのアクティブ領域と配線層を有する半導体装置の場合の、ダミー層を形成する領域を決定する工程図である。(a)は、周辺回路領域に2つのアクティブ領域と配線層を有する半導体装置を上から見た模式図であり、(b)は、矩形領域から一定幅 α だけ広げた領域を示す図であり、(c)は、(b)に従って、ダミー層を形成する領域を決定した図である。

【図5】図5は、図4において、周辺回路領域に、2つのアクティブ領域と配線層を有する領域が接近している場合のダミー層を形成する領域を決定する工程図である。(d)は、周辺回路領域に、2つのアクティブ領域と配線層を有する領域が接近している半導体記憶装置の該周辺回路領域を上から見た模式図であり、(e)は、ダミー層を形成する領域を決定した図であり、(f)は、ダミー層を形成した状態を示す図である。

【図6】図6は、図5のC-C'の断面図である。

【図7】図7は、第3実施形態の半導体記憶装置の製造における主な工程の状態断面図である。(a)は、半導

体基板上に素子分離領域を形成した図であり、(b)は、第1の導電層、ゲート電極及びダミーの第1の導電層を形成した図であり、(c)は、その上に第1の層間絶縁膜を形成した図である。

【図8】図8は、第3実施形態の半導体記憶装置の製造における主な工程の状態断面図である。(d)は、図7(c)に示す状態から、全面にポリシリコンを堆積し、不純物をドーピングした後、レジスト膜を全面に成膜し、所定のパターニングを行った図であり、(e)は、エッチングにより、第2の導電層及び第2のダミー層を形成し、レジスト膜を除去した図であり、(f)は、全面に第2の層間絶縁膜を形成した図である。

【図9】図9は、レジスト膜の膜厚とレジストの線幅(Linewidth)との関係(定在波効果)を示したグラフである。

【図10】図10は、ダミー層を形成しない従来の半導体装置の製造の主要工程における状態断面図であり、

(a)は、半導体基板上に素子分離領域を形成し、第1の導電層及びゲート電極を形成した図であり、(b)は、その上に第1の層間絶縁膜を形成した図であり、(c)は、ポリシリコンを全面に堆積させた後、レジスト膜を全面に成膜して、所定のパターニングを行った図

である。

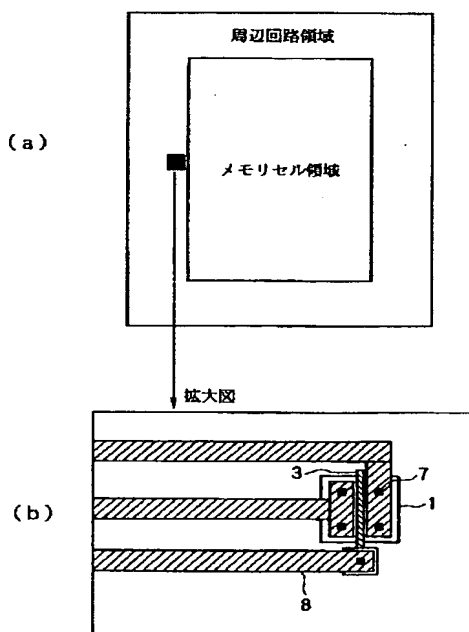
【図11】図11は、従来の半導体記憶装置の製造方法において、Recess構造半導体記憶装置の周辺回路領域の下地の高さを、メモリセル領域より少し高く設定した模式図である。

【図12】図12は、従来の半導体記憶装置の製造方法において、メモリセル領域の周囲に予めダミーセル領域を設けた図である。

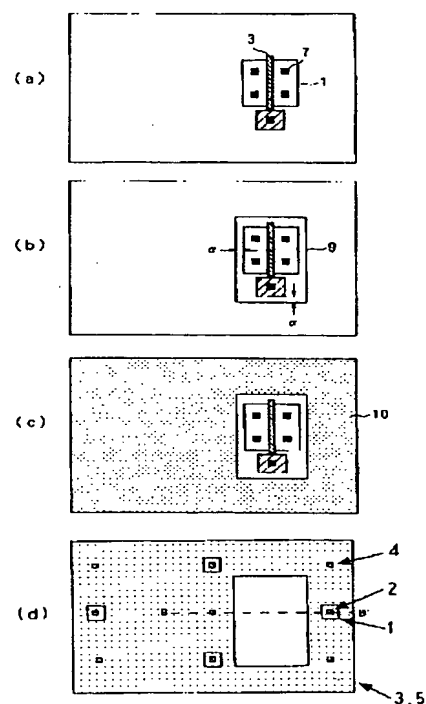
【符号の説明】

1…アクティブ領域、2, 4, 7…コンタクト、3, 5…配線層、6…層間絶縁膜、8…アルミニウム配線層、9, 10…領域、10…ダミー層を形成する領域、101, 201…半導体基板、102, 202…素子分離膜、103, 203…第1の導電層、104…第1のダミー層、105, 205…電極、106, 206…第1の層間絶縁膜、107, 207…レジスト膜、108, 208…第2の導電層、109…第2のダミー層、110, 210…第2の層間絶縁膜、 α …一定領域、Hp1, Hp3, A, A'…周辺回路領域のレジスト膜の膜厚、Hm, B, B', C, C'…メモリセル領域のレジスト膜の膜厚

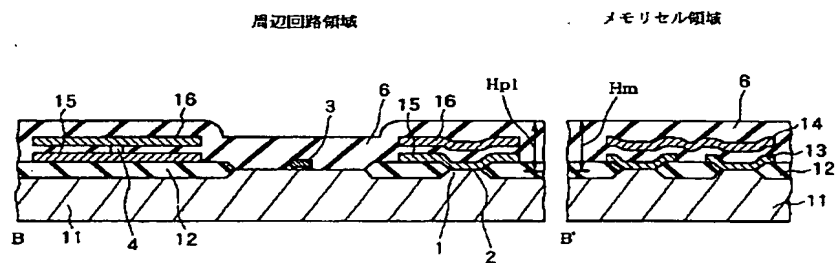
【図1】



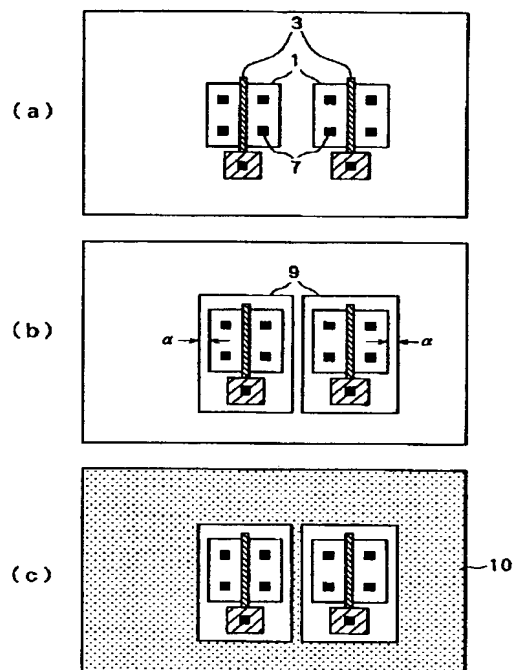
【図2】



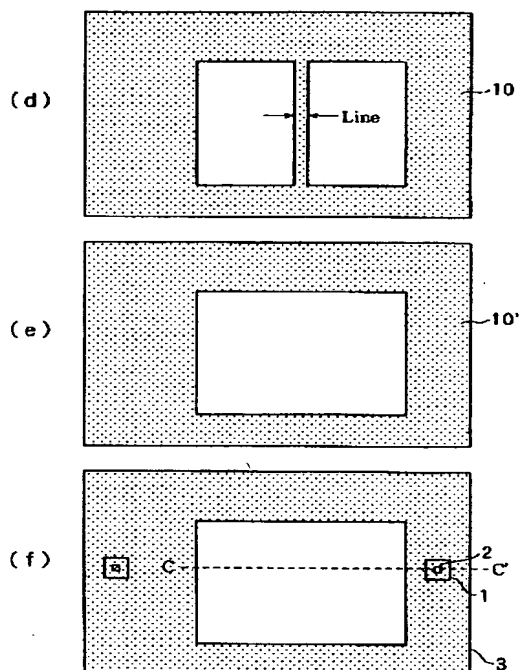
【図3】



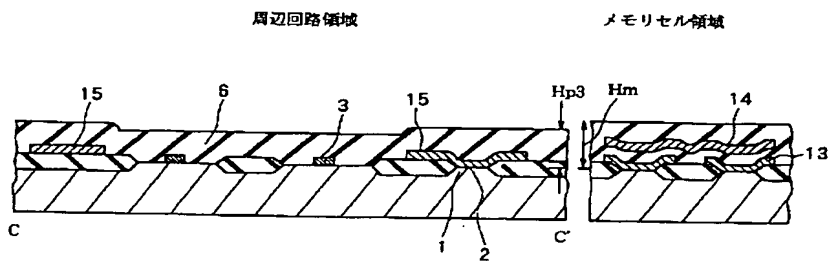
【図4】



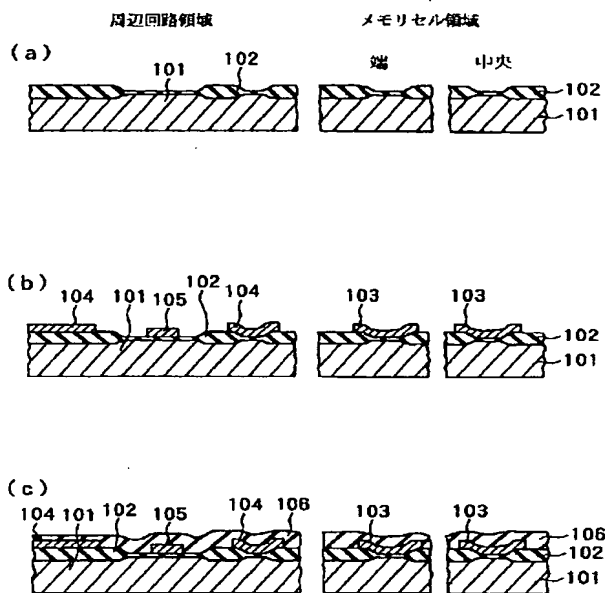
【図5】



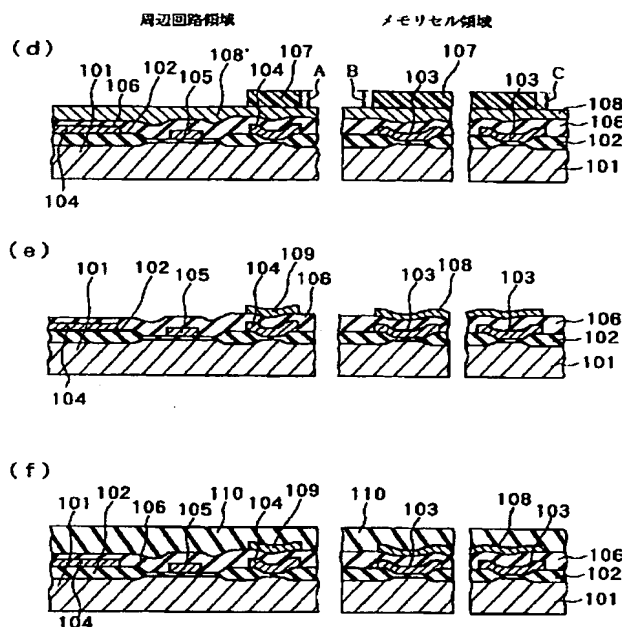
【図6】



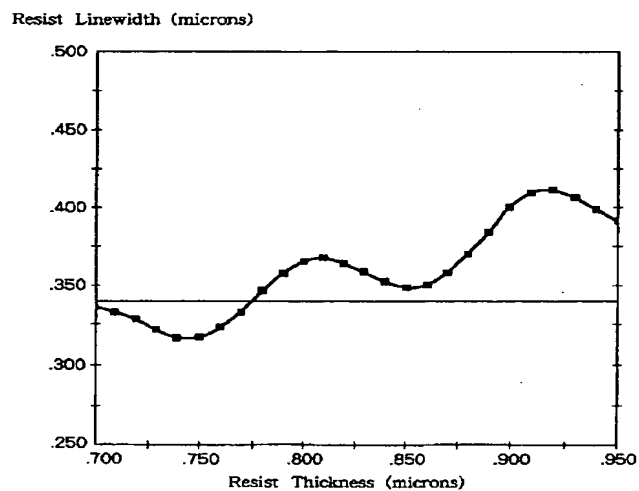
【図 7】



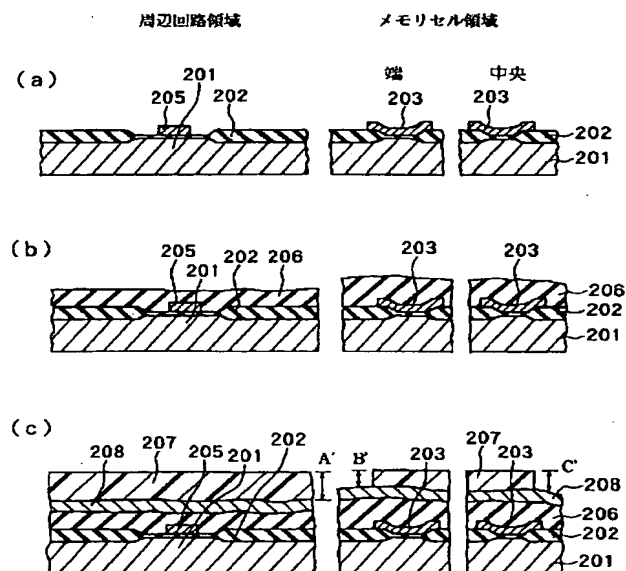
【図 8】



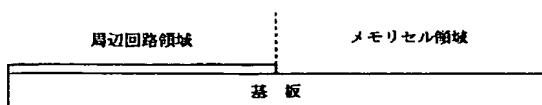
【図 9】



【図 10】



【図 11】



【図 1 2】

